



L'état forcé : La puissance du test fonctionnel



ZI Toul Europe secteur B 54200 TOUL
Tél.: 03.83.43.85.75
Email : deltest@deltest.com
www.deltest.com

L'état forcé : La puissance du test fonctionnel

Normalement, lors d'un test fonctionnel de circuit intégré numérique sans dessoudage, les entrées du circuit doivent être commutées en état bas et haut conformément à la table de vérité du composant. Cependant, l'état de ces entrées est déjà établi par d'autres circuits de la carte en test. Il est nécessaire de commuter temporairement l'état de ces sorties pour pouvoir tester le circuit fonctionnellement. La manière habituelle dont ceci est fait est l'utilisation de drivers capables de supporter des courants plus élevés que ceux des sorties reliées aux entrées du composant en test.

Pour un composant TTL, le plus mauvais cas se présente lorsque sa sortie est à l'état bas et que celle-ci doit être forcée à l'état haut. En effet, pour certaines familles (74LS), les courants supportés par les sorties à l'état haut sont bien supérieures aux courants supportés par l'état bas. La plupart des sorties TTL ont une résistance de tirage à l'état haut sur l'étage de sortie, ce qui limite effectivement le courant requis pour amener un état haut vers un état bas.

Il est clair que les courants mis en jeu dans ces conditions sont plus importants que dans des conditions normales de fonctionnement. On doit donc considérer la probabilité de risque de détérioration des composants testés. Des détériorations peuvent être directement causées sur la jonction par dissipation trop importante, ou sur le fil de connexion par un échauffement excessif. Une autre cause de détérioration, relative au calcul du coefficient de température, est mentionnée dans DEF STAN 00-53/1.

De nombreux fabricants de systèmes de test 'IN-SITU' emploient la technique du forçage d'état pour réaliser le test fonctionnel de composants. Ils sont habituellement exploités sur des lignes de fabrication de cartes en tant qu'élément du processus de test en production. Ceci implique que tous les composants de toutes les cartes fabriquées ont déjà été soumis aux contraintes générées par la technique du 'forçage d'état'.

Le CONCEPT8000+ est employé sur des cartes reconnues défectueuses, et qui ont donc déjà été soumises à une contrainte d'une manière ou d'une autre lors du fonctionnement. Il y a de nombreux risques à réparer des cartes : détérioration due à l'électricité statique, détérioration thermique de soudure, pointes de tension, court circuit lors de mesures, détérioration mécanique du circuit imprimé, ... La probabilité d'une détérioration de carte en réparation par la technique de 'l'état forcé' pendant le processus de test est statistiquement beaucoup moins élevée que celles engendrée par les autres phases de la réparation, et énumérées ci-dessus, du moment que les paramètres de forçage sont bien réglés.

Plusieurs études ont été effectuées pour essayer de mesurer les effets de la technique du forçage sur la fiabilité à court et à long terme des circuits intégrés. Tous concluent qu'aucun effet néfaste n'a été démontré suite à l'utilisation de la technique de forçage, à condition que les paramètres de forçage, en particulier les courants de sortie,

soient limités aux valeurs adéquates. Avec plus de 5000 systèmes de type Concept8000+ dans le monde entier, aucune plainte de détérioration à court ou à long terme n'a jamais été reçue. Le système Concept8000+ exploité par les forces armées dans le monde entier, aussi bien que des centaines d'organismes internationaux reconnus, dans des applications diverses, a montré que la technique du forçage est sûre et valable pour le test sur carte des circuits.

Caractéristiques des étages de sortie.

La caractéristique tension - courant pour les forçages état haut vers état bas, et état bas vers état haut pour le CONCEPT8000+ n'impose aucune tension prédéfinie. Les systèmes fondés sur l'application d'une tension fixe lors du forçage peuvent aboutir à des courants bien supérieurs aux valeurs désirées. La tension de forçage à l'état haut est de 3.7volts sans charge, et est limitée au minimum TTL de 2.0volts pour des courants supérieurs à 350mA. La tension de forçage à l'état bas est limitée à 0.8volt pour conserver des courants inférieurs à 170mA.

De ce fait, un courant de forçage disponible de l'état bas vers l'état haut de 500mA, et un courant de forçage disponible de l'état haut vers l'état bas de 200mA sont bien adaptés aux besoins. Ces courants correspondent en fait à des valeurs surévaluées pour les cas typiques. L'étage de sortie est conçu pour fournir le courant juste suffisant pour appliquer un niveau logique valide bas ou haut, de sorte que dans la plupart des cas, les courants délivrés par le CONCEPT8000+ sont sensiblement inférieurs aux maxima disponibles. Dans la plupart des cas, ils sont également bien inférieurs à ceux mentionnés dans DEF STAN 00-53/1.

On peut constater que dans de nombreux cas, le courant réel est beaucoup moins élevé que celui prévu en standard. Ceci signifie que les courants de forçage utilisés dans le calcul du coefficient de température seront sensiblement moins élevés, conduisant à une augmentation de la largeur d'impulsion disponible, jusqu'au courant continu, qui correspondant à l'état d'équilibre de la plupart des cas. Une autre marge de sécurité est obtenue avec le Concept8000+ en travaillant sur des valeurs de tension d'entrée inférieures aux spécifications du composant en test ; les valeurs spécifiées assurant une bonne immunité aux bruits pour le composant. Pendant le test d'un seul composant, cette condition n'est pas critique car l'incidence des autres composants de la carte est nulle ; il est seulement nécessaire que les niveaux d'entrée restent inférieurs à une tension de seuil. Pour certaines familles de composants logiques, les courants préconisés pour permettre un fonctionnement normal en état bas ou haut sont trop élevés pour réaliser un test en sécurité.

Les signaux appliqués sur les entrées du composant en test sont générés en pilotant directement des ports de sortie reliés aux étages de sortie. Il est donc impossible d'indiquer une mesure globale des largeurs d'impulsion, comme cela pourrait être le cas pour un système qui cadencerait le déroulement du test à une vitesse fixe. Les largeurs d'impulsion ne peuvent être spécifiées précisément que pour un circuit intégré donné associé à ses propres conditions.